

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-130169

(43)Date of publication of application : 08.10.1980

(51)Int.Cl.

H01L 29/78

H01L 29/60

(21)Application number : 54-036872

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.03.1979

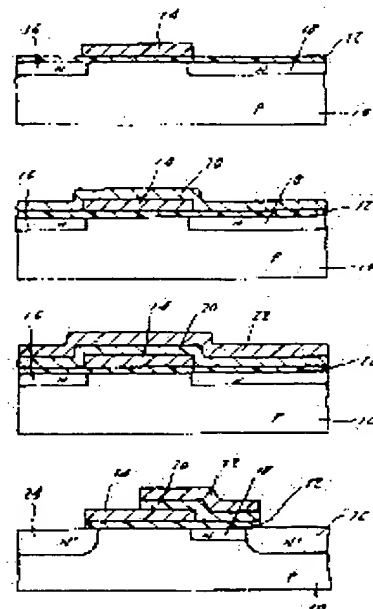
(72)Inventor : KOMORI KAZUHIRO

(54) METHOD OF FABRICATING SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enhance the withstand voltage of a semiconductor device by oxidizing a polysilicon layer to form a gate insulating film to alleviate electric field concentration in the vicinity of a drain.

CONSTITUTION: A first gate layer 14 off-set from the drain side on a gate insulating film 12 is formed thereon, and a polysilicon layer is then coated on the portion in the vicinity of the drain of the gate insulating film 12 and on the gate layer 14. The polysilicon layer is then oxidized to form an interlayer insulating and gate insulating film 20. A second gate layer 22 is then formed on the portion in the vicinity of a drain at least from the film 20. The layer 22 is then patterned, and source and drain diffusing openings are formed at the films 20 and 12, respectively, suitable donor impurity is selectively diffused through the openings in the substrate 10 to form by self-matching an N⁺-type source region 24 and an N⁺-type drain region 26 at the gate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-130169

⑬ Int. Cl.³
H 01 L 29/78
29/60

識別記号

庁内整理番号
6603-5F
7638-5F

⑭ 公開 昭和55年(1980)10月8日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ 半導体装置の製法

⑯ 特 願 昭54-36872

⑰ 出 願 昭54(1979)3月30日

⑱ 発 明 者 小森和宏

小平市上水本町1450番地株式会社

社日立製作所武蔵工場内
⑲ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置の製法

特許請求の範囲

1. ゲート絶縁膜上にドレイン側からオフセットした第1のゲート層を形成する工程と、前記第1のゲート層及び前記ゲート絶縁膜のドレイン近傍部分をおもつてポリシリコン層を形成する工程と、前記ポリシリコン層を酸化して層間絶縁膜ゲート絶縁膜を形成する工程と、前記層間絶縁膜ゲート絶縁膜の少なくともドレイン近傍部分上に第2のゲート層を形成する工程とを含むことを特徴とする半導体装置の製法。

発明の詳細な説明

本発明は、半導体装置、特に高耐圧用の絶縁ゲート型電界効果トランジスタ(以下、IGFETと略記する)のような電界効果半導体装置の製法に関する。

従来提案されている高耐圧IGFETの製法としては、ゲート絶縁膜上にドレイン側からオフセットした第1のポリシリコンゲート層を形成した

後、この第1のゲート層の表面を酸化して層間絶縁膜を形成し、この層間絶縁膜の一部が重なるようにして前記ゲート絶縁膜のドレイン近傍部分上に第2のポリシリコンゲート層を形成するものがあつた。

しかしながら、このような製法によると、第2ゲート層は薄いゲート絶縁膜上に配置されることになるため、十分な耐圧が得られない欠点があつた。

本発明の目的は、このような欠点のない改良された電界効果半導体装置の製法を提供することにある。

本発明による製法は、ポリシリコン層を酸化することによりゲート絶縁膜を形成するようにしたことを特徴とするものであつて、以下、添付図面に示す実施例について詳述する。

第1図乃至第14図は、本発明の一実施例による高耐圧IGFETの一連の製造工程を示すもので、次に説明する工程(4)~(4)は第1図~第14図のものにそれぞれ対応している。

(1)

(2)

(a) まず、P型シリコンからなる半導体基板10を用意し、その表面を酸化して例えば500Åの厚さのゲート絶縁膜12を形成する。そして、CVD法によりゲート絶縁膜12上にポリシリコンをデポジットした後、ホトリソグラフィ技術によりポリシリコンをパターンニングして第1のゲート層14を形成する。さらに、適当なドナー不純物をイオン打込みすることにより第1ゲート層14の両側に比較的低濃度のN型領域16, 18を形成する。このとき、第1ゲート層14はイオン打込みのマスクとして作用し、その中にも不純物がドーピングされる。このような不純物ドーピングだけでは第1ゲート層14のポリシリコンを十分低抵抗化できない場合には、別途第1ゲート層に不純物をドーピングしてこれを低抵抗化する。

(b) 次に、CVD法により第1ゲート層14及びゲート絶縁膜12の露呈部分の上にポリシリコンを例えば500~800Åの厚さにデポジットし、しかる後このポリシリコン層を酸化して層間絶縁兼ゲート絶縁膜20を形成する。

(3)

なお、第14図の構成において、第1ゲート層14がドレイン領域26からオフセットしているのも、ドレイン近傍における電界集中を緩和するためであり、またN型低濃度領域18を第1ゲート層14とドレイン領域26との間に形成したのもドレイン空乏層の伸びを助長してその電界集中を緩和するためである。

従つて、第14図の構成によれば、合計3つの高耐圧化対策がとられているということができ、IGFETで実現可能な限度に近い高い耐圧を得ることができるものである。

図面の簡単な説明

第1a図乃至第1d図は、本発明の一実施例による高耐圧IGFETの製造工程を示す基板断面図である。

- 10・・・半導体基板、
- 12・・・ゲート絶縁膜、
- 14・・・第1ゲート層、
- 18・・・低濃度領域、
- 20・・・層間絶縁兼ゲート絶縁膜、

(5)

(c) この後、層間絶縁兼ゲート絶縁膜20の上にCVD法によりポリシリコンをデポジットし、第2のゲート層22を形成する。

(d) 第2ゲート層22をパターンニングした後、層間絶縁兼ゲート絶縁膜20及びその下のゲート絶縁膜12にソース・ドレイン拡散用の開口部をエッチングにより形成し、各々の開口部を介して基板10中に適当なドナー不純物を選択拡散し、それによつてN⁺型ソース領域24及びN⁺型ドレイン領域26をゲート部に対して自己整合的に形成する。このとき、N型領域16はN⁺型領域24に吸収され、N型領域18もその一部がN⁺型領域26に吸収される。

上記した方法によれば、第2ゲート層22は、ゲート絶縁膜12及び層間絶縁兼ゲート絶縁膜20の2層を介してN型領域18及びN⁺型領域26と対向するようになるので、それら2層の厚さのために領域18, 26に作用するゲート電界が比較的弱くなり、ドレイン近傍における電界集中が緩和されて高耐圧化が可能になる。

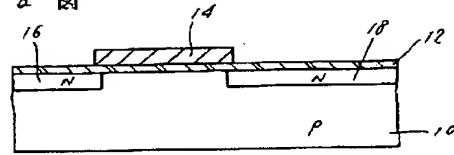
(4)

- 22・・・第2ゲート層、
- 24・・・ソース領域、
- 26・・・ドレイン領域。

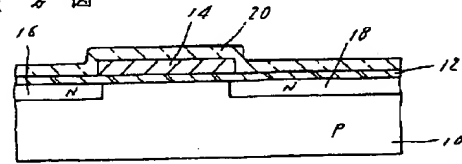
代理人 弁理士 薄 田 利 幸

(6)

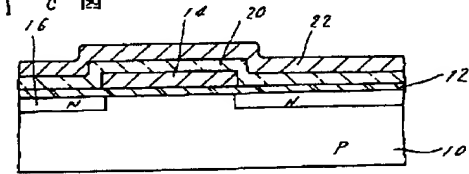
第 1 a 図



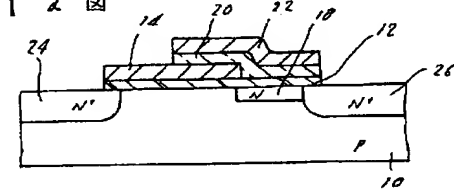
第 1 b 図



第 1 c 図



第 1 d 図



昭 61.5.19 発行

特許法第17条の2の規定による補正の掲載

昭和 54 年特許願第 36872 号(特開 昭 55-130169 号, 昭和 55 年 10 月 8 日 発行 公開特許公報 55-1302 号掲載)については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 7 (2)

Int. Cl. 1	識別記号	庁内整理番号
H01L 29/78 29/60		8422-5F 7638-5F

手 続 補 正 書 (自発)

昭和 61 年 2 月 21 日

特許庁長官殿

事件の表示

昭和 54 年 特許願 第 36872 号

発明の名称

半導体装置の製法

補正をする者

事件との関係 特許出願人

名 称 (510) 株式会社 日 立 製 作 所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号

株式会社日立製作所内

電話 東京 212-1111 (大代表)

氏 名 (6850) 弁護士 小 川 勝 男

補正の対象

明細書の特許請求の範囲の編及び発明の詳細な説明の欄

補正の内容

1. 明細書の特許請求の範囲の記載を別紙のとおりに補正する。
2. 明細書第2頁第6行~第16行「しかしながら.....詳述する。」を「本発明の一つの目的は、このような高耐圧 I G F E T の信頼性を高めることができる製法を提供することにある。」と補正する。

別 紙

特許請求の範囲

1. 第1導電型の半導体基板の表面に第1の絶縁膜を介して第1のゲート層を形成する工程と、上記第1のゲート層をマスクとして第2導電型の第1不純物添加領域を上記半導体基板に形成する工程と、その一部が上記第1のゲートに重なった第2のゲート層を第2の絶縁膜を介して形成する工程と、上記第2のゲート層をマスクとして上記第1不純物添加領域よりも高濃度かつ深い第2導電型の第2不純物添加領域を上記半導体基板に形成する工程とを含むことを特徴とする半導体装置の製法。

代理人 弁護士 小 川 勝 男